



(19)

(11) Publication number: **04094545 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 02213407

(51) Intl. Cl.: H01L 21/331 H01L 21/265
H01L 27/082 H01L 29/73

(22) Application date: 10.08.90

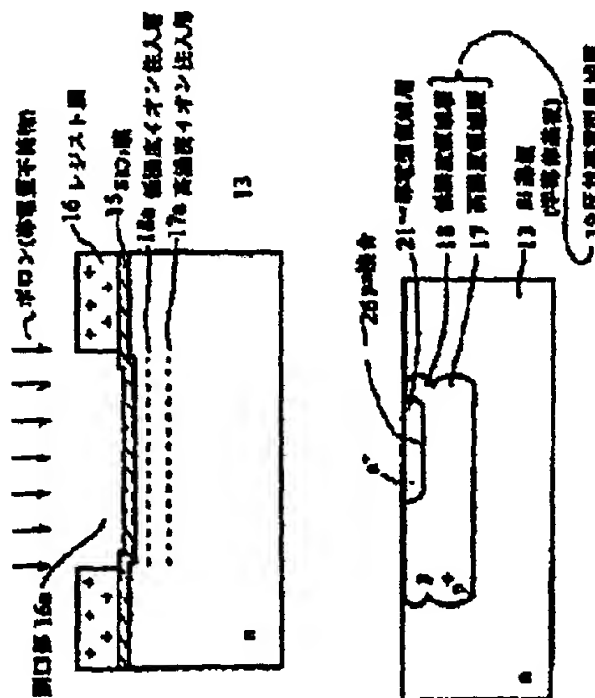
(30) Priority: (43) Date of application publication: 26.03.92 (84) Designated contracting states:	(71) Applicant: FUJITSU LTD (72) Inventor: IRINO KIYOSHI (74) Representative:
---	---

(54) BIPOLAR TRANSISTOR

(57) Abstract:

PURPOSE: To reduce reverse current at a base-collector junction and to suppress its dispersion by forming a reverse conductivity region layer having a shallow low-doped region layer and a deep high-doped region layer in a conductivity-I semiconductor substrate and by making this low-doped region layer incorporate a conductivity-I region layer.

CONSTITUTION: Boron ions are implanted into an n-type Si substrate 13 at an acceleration energy of about 1MeV and a dosage of $3 \times 10^{14} \text{cm}^{-2}$ or more to form a P-type high-doped ion implanted layer 17a. Next, boron ions are implanted at an



60KeV and a dosage of about $1 \times 10^{12} \text{cm}^{-2}$ to form a low-doped ion implanted layer 18a. Then, heat treatment is conducted for about 30min at a temperature of about 1000°C to form a high-doped region layer 17 and a low-doped region layer 18: these two layers serve as collector region layers 19 (reverse conductivity region layer). Successively, phosphorus ions are implanted selectively into the low-doped region layer 18 at an acceleration energy of about 160Kev and a dosage of about $1 \times 10^{14} \text{cm}^{-2}$ to form a conductivity-I region layer 2. This process can provide vertical bipolar transistors of small absolute value of leakage current in a collector-base junction and small dispersion in hFE.

COPYRIGHT: (C)
1992, JPO&Japio

94544(4)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平4-94545

⑫ Int. Cl.

識別記号 庁内整理番号

⑬ 公開 平成4年(1992)3月26日

H 01 L 21/331

21/265

27/082

29/73

7735-4M

7210-4M

7738-4M

7738-4M

H 01 L 29/12

27/08

21/265

1 0 1

B

H

F

審査請求 未請求 請求項の数 2 (全7頁)

⑭ 発明の名称 バイポーラトランジスタ

⑮ 特 願 平2-213407

⑯ 出 願 平2(1990)8月10日

⑰ 発 明 者 入 野 清 神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 岡本 啓三

明 細 書

1. 発明の名称

バイポーラトランジスタ

2. 特許請求の範囲

(1)一導電型の半導体基板に、浅い低濃度領域層と深い高濃度領域層とからなる反対導電型領域層と、該低濃度領域層内の一導電型領域層とを具備し、前記高濃度領域層は、イオン注入により導電型不純物が導入されることにより形成され、かつ該導電型不純物のドーザ量が $1 \times 10^{14} \text{cm}^{-2}$ 以上であることを特徴とする半導体装置。

(2)請求項1記載の反対導電型領域層がコレクタ領域層、かつ一導電型領域層がベース領域層であり、該ベース領域層内にエミッタ領域層を有することとを特徴とする半導体装置。

3. 発明の詳細な説明

(目次)

- ・概要
- ・産業上の利用分野
- ・従来の技術(第5図)

- ・発明が解決しようとする課題
- ・課題を解決するための手段
- ・作用
- ・実施例(第1図~第4図)
- ・発明の効果

(概要)

半導体装置に関し、更に詳しく言えば、浅い低濃度領域層とイオン注入により形成される深い高濃度領域層とからなるコレクタ領域層と、コレクタの低濃度領域層内のベース領域層と、ベース領域層内のエミッタ領域層とを有する縦型バイポーラトランジスタに関し、

コレクタ抵抗を増大させることなく、ベース/コレクタ間のプロ接合でのリーク電流を低減し、かつそのバラツキを抑制することができる縦型バイポーラトランジスタを提供することを目的とし、一導電型の半導体基板に、浅い低濃度領域層と深い高濃度領域層とからなる反対導電型領域層と、該低濃度領域層内の一導電型領域層とを具備し、

前記高濃度領域にイオン注入により高濃度不純物が導入されることにより形成され、かつ高濃度領域上に選択的にコレクタの低濃度領域を形成し、更に低濃度領域内にベース領域、ベース領域内にエミッタ領域を順次形成して、

【産業上の利用分野】

本発明は、半導体装置に関し、更に詳しく言えば、高濃度領域上に選択的にコレクタの低濃度領域を形成し、更に低濃度領域内にベース領域、ベース領域内にエミッタ領域を順次形成して、バイポーラトランジスタに関する。

【従来の技術】

従来、コレクタ抵抗の低減のために、半導体基板の深いところにコレクタの高濃度領域が設けられている。

この高濃度領域を有する縦型バイポーラトランジスタの作成方法は、基板に選択的に高濃度領域を形成した後、この基板上にエピタキシャル

があるが、結晶欠陥の発生を避けるため、ドーザ量を $1 \times 10^{14} \text{ cm}^{-2}$ 以下に抑えている。なお、ドーザ量の下限はコレクタ抵抗の低減のため $6 \times 10^{12} \text{ cm}^{-2}$ としている。

次いで、低エネルギーイオン注入により低濃度のボロンを選択的に高濃度イオン注入層4よりも浅く導入し、高濃度イオン注入層4とSi基板1表面との間に低濃度イオン注入層5を形成する。続いて、同図(c)に示すように、アニールすると、高濃度領域4及び低濃度領域5からなるコレクタ領域6が形成される。

次に、同図(d)に示すように、低濃度領域5内に選択的にn型のベース領域8を形成した後、ベース領域8内に選択的にp型のエミッタ領域9を形成し、その後コレクタ電極10、ベース電極11及びエミッタ電極12を形成すると縦型バイポーラトランジスタが完成する(同図(e))。

しかし、この方法の場合、高濃度領域を形成するための高濃度不純物の拡散工程やエピタキシャル成長工程が必要であり、工程が多くなる。従って、高エネルギーイオン注入装置の開発により、基板に直接深いイオン注入を行うことが可能となるに伴い、深い高濃度領域を基板内部に直接形成するようになってきている。

第5図(a)～(e)は、従来例の縦型バイポーラトランジスタの作成方法を説明する断面図である。

まず、同図(a)、(b)に示すように、高エネルギーイオン注入により高濃度のボロンを選択的にn型のSi基板1に深く導入し、高濃度イオン注入層4を形成する。このとき、コレクタ抵抗の低減のためにはボロンを高濃度に導入する必要

【発明が解決しようとする課題】

しかし、作成されたバイポーラトランジスタのコレクタ・ベース間のpn接合27に逆方向の動作電圧を印加した場合、pn接合27の逆方向電流の絶対値が十分に低くならず、かつバラツキも大きい。第4図(a)に示す本発明者の行った逆方向電流(JR)の温度依存性の調査により、

$$JR \propto \exp \{ -E_g / nkT \}$$

E_g : エネルギーバンドギャップ (Siの場合約1.1 eV)

k : ボルツマン定数

T : 絶対温度

n : 定数 (拡散電流が主体の場合=1、再結合電流が主体の場合=2)

この逆方向電流の主体は再結合電流であることが確かめられた。これは、高エネルギー・高ドーザ量のイオン注入により導入された結晶欠陥が、逆方向の動作電圧に対応してpn接合27から広がった空乏層中に含まれるためと考えられる。

このため、 I_{FE} を十分に小さくし、本発明にたもて、ベース/コレクタリーク電流を抑制すること及びそのものである。

【課題を】
上記課題を
深い低濃度
反対導1
型領域
ン注入
り形成
 $\times 10^{14}$
置に、

n接
(再
行

このため、バイポーラトランジスタの電流増幅率 (β F E) を十分に高くできず、かつバラツキを十分に小さくできないという問題がある。

本発明は、かかる従来の問題点に鑑みてなされたもので、コレクタ抵抗を増大させることなく、ベース/コレクタ間の $p-n$ 接合での逆方向電流 (リーク電流) を低減し、かつそのバラツキを抑制することができる縦型バイポーラトランジスタ及びその製造方法を提供することを目的とするものである。

(課題を解決するための手段)

上記課題は、第1に、一導電型の半導体基板に、浅い低濃度領域層と深い高濃度領域層とからなる反対導電型領域層と、該低濃度領域層内の一導電型領域層とを具備し、前記高濃度領域層は、イオン注入により導電型不純物が導入されることにより形成され、かつ該導電型不純物のドーザ量が $1 \times 10^{14} \text{ cm}^{-2}$ 以上であることを特徴とする半導体装置によって解決され、

n 接合 26 の逆方向電流 (J_R) の温度依存性 (第4図 (a)、(b)) を調査することにより行った。

第3図 (a) の試料の作成条件は、

ドーザ量 $-3 \times 10^{12} \text{ cm}^{-2}$, $6 \times 10^{12} \text{ cm}^{-2}$,

$1 \times 10^{14} \text{ cm}^{-2}$, $3 \times 10^{14} \text{ cm}^{-2}$

アニール条件—温度1000℃, 時間30分。

逆方向印加電圧—5 V

である。

第4図 (a) に示すように、ドーザ量が $3 \times 10^{12} \text{ cm}^{-2}$, $3 \times 10^{14} \text{ cm}^{-2}$ の場合は、逆方向電流 (J_R) が、

$$J_R \propto \exp(-E_g/nkT)$$

E_g : エネルギーバンドギャップ (Si の場合
約 1.1 eV)

k : ボルツマン定数

T : 絶対温度

n : 定数 (拡散電流が主体の場合=1, 再結合電流が主体の場合=2)

に従うとき、 $n=1$ にほぼのっており、 J_R (リ

第1の発明に記載の反対導電型領域層がコレクタ領域層、かつ一導電型領域層がベース領域層であり、該ベース領域層内にエミッタ領域層を有することを特徴とする半導体装置によって解決される。

(作用)

第2図、第3図 (a)、(b) 及び第4図 (a)、

(b) は、本願発明者の行った実験結果を示す。

実験に用いた試料は、第2図に示すように、 n 型の Si 基板 (半導体基板) に、浅い低濃度領域層 18 とイオン注入により形成された深い高濃度領域層 17 とからなる p 型の反対導電型領域層 19 と、該低濃度領域層 18 内の n 型の一導電型領域層 21 とを有するものを用いた。

実験は、この試料について高濃度領域層 17 の形成条件を種々変えて作成した。即ち、イオン注入のドーザ量の異なるものを4種類 (第3図 (a))、アニール温度の異なるものを3種類 (第3図 (b)) の計7種類の試料について、 p

ーク電流) は拡散電流が主体となっていることを示している。一方、ドーザ量 $6 \times 10^{12} \text{ cm}^{-2}$, $1 \times 10^{14} \text{ cm}^{-2}$ の場合は、 $n=1/2$ にほぼのっており、 J_R は再結合電流が主体となっていることを示している。拡散電流が主体のものは J_R の絶対値が小さい。また、別の J_R の分布調査により拡散電流が主体のものはバラツキも小さくなっている。

上記の実験結果より、次のようなことが推定される。

即ち、ドーザ量が最も小さい試料はもともと結晶欠陥が少ないので、 J_R は拡散電流が主体で、かつ絶対値も小さい。逆に、ドーザ量が最も大きい試料は、結晶欠陥が最も多いと考えられるが、結晶欠陥が高濃度領域層 17 のほぼ中央部の最大濃度面 (平均濃度) 27 よりも深いところに存在し、かつ $p-n$ 接合 26 からの空乏層が最大濃度面 27 を越えて結晶欠陥の存在する部分まで広がらない。このため、空乏層には結晶欠陥が含まれないので、 J_R は拡散電流が主体で、かつ絶対値も小さいと考えられる。しかし、ドーザ量が中

するため、通常よりも大きいドーピング量 3×10^{14} cm^{-3} でイオン注入し、その後 1000℃ で加熱処理している。

従って、Si 基板 13 内には多数の結晶欠陥が生じているにもかかわらず、コレクタ・ベース間の p-n 接合 26 に逆方向電圧を印加する場合、p-n 接合 26 からの空乏層が結晶欠陥の存在する部分まで広がりきらない。

このため、空乏層中には結晶欠陥が含まれないので、第 4 図 (a) に示すように、p-n 接合 26 の逆方向電流 (J_R) は、拡散電流が主体となり、従来の場合と比較して絶対値を小さくすることができる。実験によれば、従来と比較して約 2 桁も小さくすることができた。また、拡散電流が主体なので、バラツキも小さくすることができる。

従って、hFE の絶対値が大きく、かつバラツキの小さい縦型バイポーラトランジスタのを得られる。

なお、第 4 図 (b) に示すように、ドーピング量が $1 \times 10^{14} \text{cm}^{-3}$ 以上であれば、アニール条件を適当

に選ぶことにより J_R を小さくすることができる。

また、高濃度領域層 17 を形成するためのイオン注入のドーピング量及びアニール温度の条件は、コレクタ・ベース接合 26 のブレイクダウン電圧が動作電圧以上になるように調整される必要がある。

(発明の効果)

以上のように、本発明の半導体装置によれば、高濃度領域層を形成するため、通常よりも大きいドーピング量 $1 \times 10^{14} \text{cm}^{-3}$ 以上でイオン注入しているので、半導体基板内には多数の結晶欠陥が生じているにもかかわらず、反対導電型領域層と一導電型領域層との間の p-n 接合に逆方向電圧を印加する場合、p-n 接合からの空乏層が結晶欠陥の存在する部分まで広がりきらない。

このため、空乏層中には結晶欠陥が含まれないので、p-n 接合の逆方向電流 (J_R) は、拡散電流が主体となり、従来の場合と比較して絶対値が小さくなる。また、拡散電流が主体なので、バラツキも小さい。

従って、この高濃度領域層を埋め込みコレクタ領域層に適用することによりコレクタ・ベース接合のリーク電流の絶対値が小さく、かつ hFE のバラツキの小さい縦型バイポーラトランジスタの得られる。

4. 図面の簡単な説明

第 1 図は、本発明の実施例の縦型バイポーラトランジスタの製造方法について説明する断面図、

第 2 図は、本発明の半導体装置について説明する原理図、

第 3 図は、本発明の作用・効果を説明する実験に用いた試料の導電型不純物の濃度分布を示す図、

第 4 図は、本発明の作用・効果を説明する実験に用いた試料の逆方向電流の温度依存性を示す図、

第 5 図は、従来例の縦型バイポーラトランジスタの製造方法について説明する断面図である。

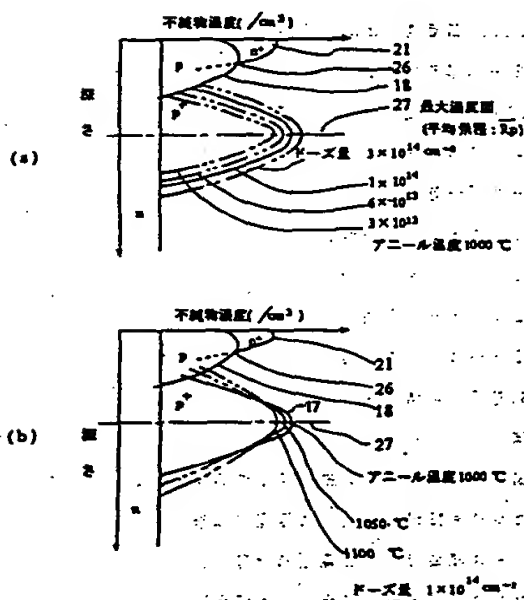
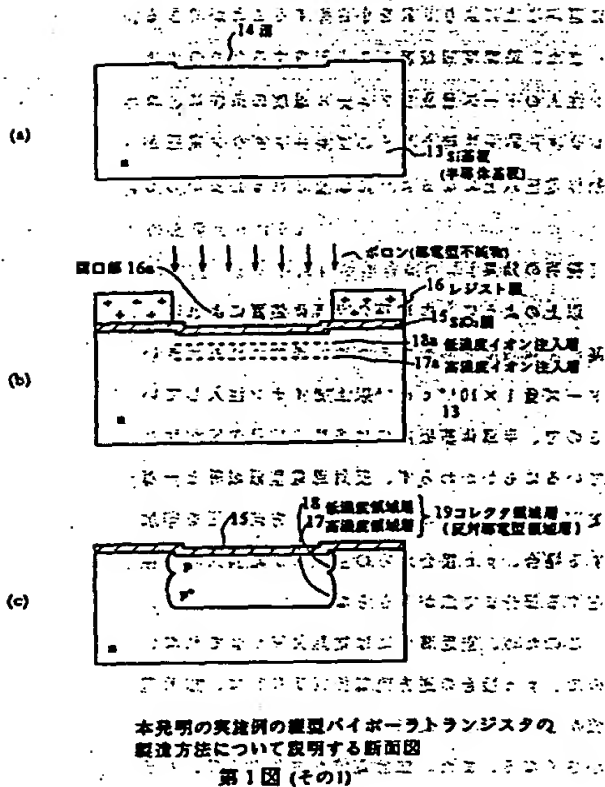
(符号の説明)

- 1—Si 基板、
- 2, 7, 15, 20—SiO₂ 膜、
- 3, 16—レジスト膜、

- 4, 17—高濃度領域層、
- 4a, 17a—高濃度イオン注入層、
- 5, 18—低濃度領域層、
- 5a, 18a—低濃度イオン注入層、
- 6—コレクタ領域層、
- 8—ベース領域層、
- 9, 22—エミッタ領域層、
- 10, 23—コレクタ電極、
- 11, 24—ベース電極、
- 12, 25—エミッタ電極、
- 13—Si 基板 (半導体基板)、
- 14—溝、
- 16—第 1 のポリシリコン膜 (第 1 の導電膜)、
- 19—コレクタ領域層 (反対導電型領域層)、
- 21—ベース領域層 (一導電型領域層)、
- 26—コレクタ・ベース接合 (p-n 接合)、
- 27—最大濃度面 (平均濃度: R_p)、

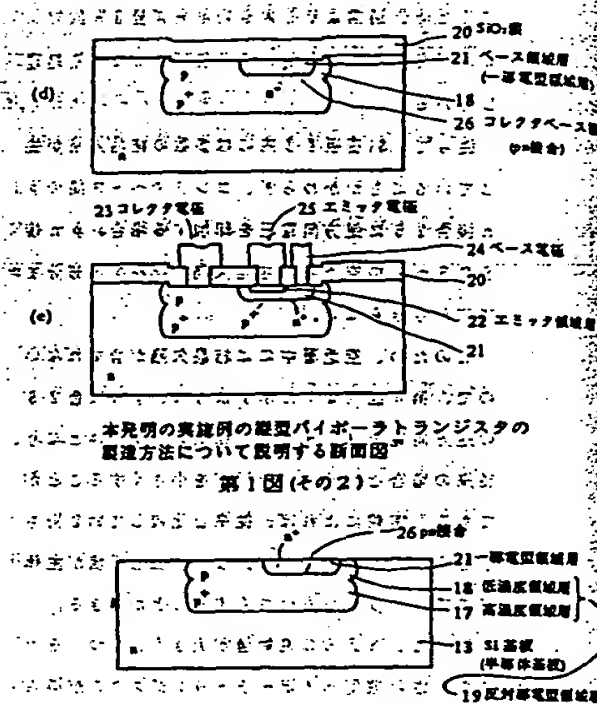
特許出願人 富士通株式会社

代理人 弁理士 岡本啓三



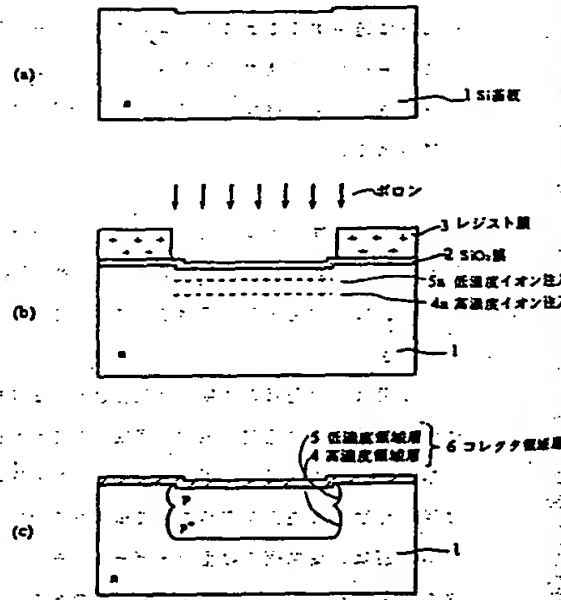
本発明の作用・効果を説明する実験に用いた試料の導電型不純物の濃度分布を示す図

第3図



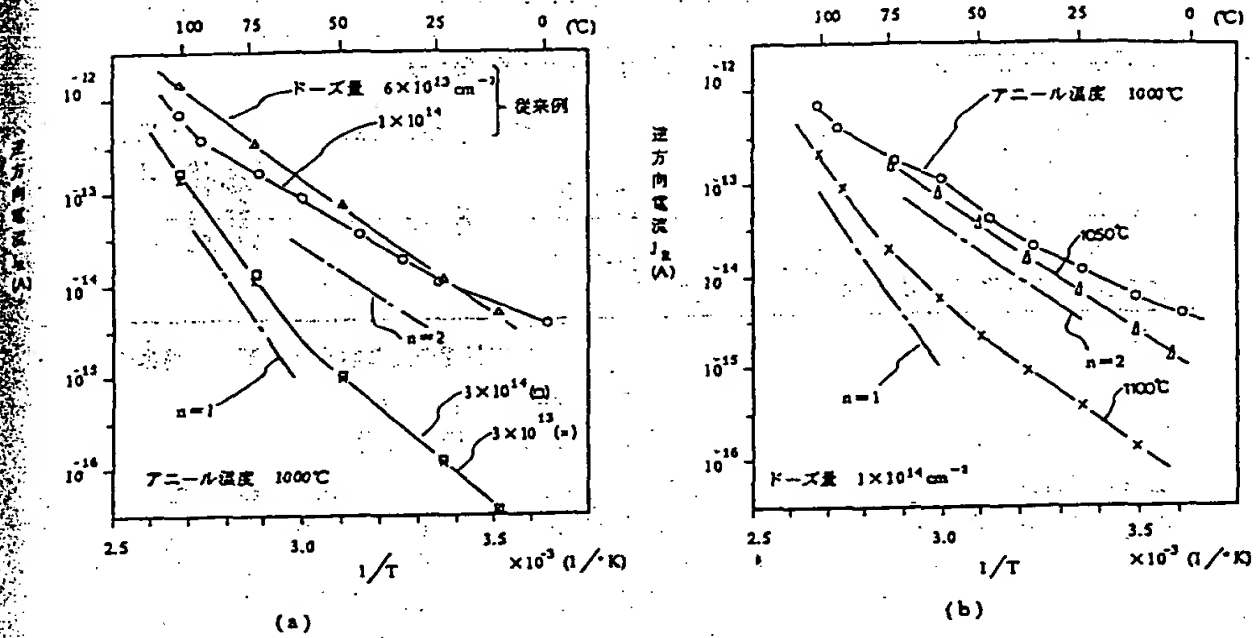
本発明の半導体装置について説明する原理図

第2図



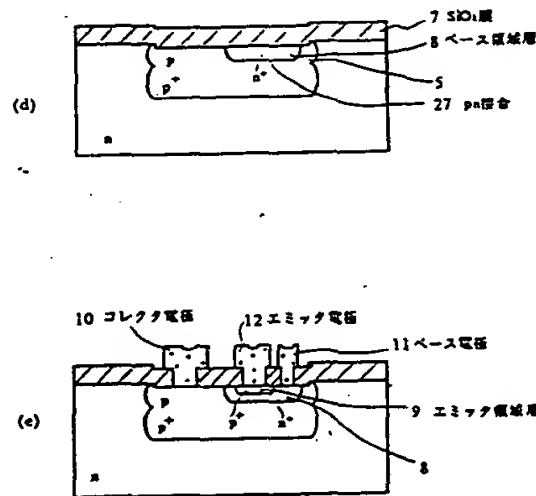
従来例の縦型バイポーラトランジスタの製造方法について説明する断面図

第5図 (その1)



本発明の作用・効果を説明する実験に用いた
試料の逆方向電流の温度依存性を示す図

第4図



従来例の縦型バイポーラトランジスタの
製造方法について説明する断面図

第5図(その2)

PATENTS ABSTRACTS OF JAPAN

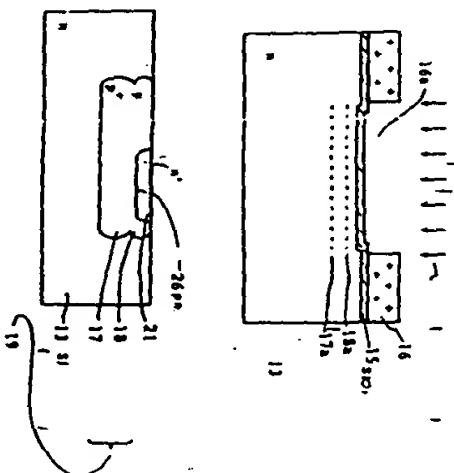
E-1234 July 15, 1992 Vol. 16/No. 324

(54) BIPOLAR TRANSISTOR

- (11) 4-94545 (A) (43) 26.3.1992 (19) JP
 (21) Appl. No. 2-213407 (22) 10.8.1990
 (71) FUJITSU LTD (72) KIYOSHI IRINO
 (51) Int. Cl. H01L21/331, H01L21/265, H01L27/082, H01L29/73

PURPOSE: To reduce reverse current at a base-collector junction and to suppress its dispersion by forming a reverse conductivity region layer having a shallow low-doped region layer and a deep high-doped region layer in a conductivity-I semiconductor substrate and by making this low-doped region layer incorporate a conductivity-I region layer.

CONSTITUTION: Boron ions are implanted into an n-type Si substrate 13 at an acceleration energy of about 1MeV and a dosage of $3 \times 10^{14} \text{cm}^{-2}$ or more to form a P-type high-doped ion implanted layer 17a. Next, boron ions are implanted at an acceleration energy of about 60KeV and a dosage of about $1 \times 10^{12} \text{cm}^{-2}$ to form a low-doped ion implanted layer 18a. Then, heat treatment is conducted for about 30min at a temperature of about 1000°C to form a high-doped region layer 17 and a low-doped region layer 18; these two layers serve as collector region layers 19 (reverse conductivity region layer). Successively, phosphorus ions are implanted selectively into the low-doped region layer 18 at an acceleration energy of about 160KeV and a dosage of about $1 \times 10^{14} \text{cm}^{-2}$ to form a conductivity-I region layer 2. This process can provide vertical bipolar transistors of small absolute value of leakage current in a collector-base junction and small dispersion in hFE.



16: resist layer, 15: SiO₂ film, 26: pn junction, 16a: opening

LEGENDE zu den Bibliographiedaten

- (54) Titel der Patentsanmeldung
 (11) Nummer der JP-A2 Veröffentlichung
 (21) Aktenzeichen der JP-Anmeldung
 (43) Veröffentlichungsdatum
 (52) Anmeldezeitpunkt in Japan
 (71) Anmelder
 (72) Erfinder
 (52) Japanische Patenklassifikation
 (51) Internationale Patenklassifikation